

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250843

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 21/60

(21)Application number : 2000-126010

(71)Applicant : SONY CORP

(22)Date of filing : 26.04.2000

(72)Inventor : SASAKI MASARU  
SHIMADA MINORU  
TSUKUDA YUKIHIKO  
KAWANO YOSUKE  
OTSU SHINICHI  
OKUTOMI KAZUYA  
KURITA MAMORU

(30)Priority

Priority number : 11375011 Priority date : 28.12.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To improve mounting efficiency when a semiconductor chip such as a bare chip is mounted onto a substrate by using an adhesive such as a thermosetting resin.

SOLUTION: In a semiconductor device 11 that is formed of a flat chip where an electrode is arranged on one surface, a step part 11a with specific thickness is provided in an entire circumference on the end face of the flat chip, the area of one surface where an electrode 11b is arranged is smaller than that of the other by the thickness of the step part, and the step part functions as a dam for overflow of the adhesive on mounting.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The semiconductor device to which the level difference section of given thickness was prepared in the perimeter of the end face of the above-mentioned plate-like chip, while has been arranged and the above-mentioned electrode made only the part of the thickness of the above-mentioned level difference section the configuration as for which the area of a field becomes smaller than the area of the field of another side in the semiconductor device formed in one field with the plate-like chip with which the electrode has been arranged.

[Claim 2] It is the semiconductor device which the above-mentioned electrode attached projection electrode components in one field of a chip in the semiconductor device according to claim 1, and formed.

[Claim 3] In case the wafer with which two or more semiconductor circuits were formed in one field is cut for each chip, a width of cut with the cutting implement of the 1st width of face It cuts from the field of the method of top Norikazu to given thickness fewer than the thickness of the above-mentioned wafer, a width of cut cuts the remaining thickness with the cutting implement of the 2nd width of face with a width of cut thinner than the 1st width of face of the above, and it is the semiconductor device manufacture approach of the difference of the 1st width of face of the above, and the 2nd width of face of the above in which the level difference section of 2 was formed to the cutting side, about 1/.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which consists of chips which cut and formed the wafer with which the semiconductor circuit was formed, and the manufacture approach of the semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, the semiconductor device which the direct circuit board is made to mount in the chip which cut and formed the wafer after attaching electrode components is put in practical use. Such a semiconductor device is called the bare chip etc.

[0003] Drawing 9 is drawing having shown the example of a wafer, after it follows the front face of the circular wafer 1 per predetermined and forms a circuit in it, is cut for every unit and obtains a bare chip 2. The process which cuts a wafer is called dicing, for example, is cut using a diamond cutter. One bare chip is the very small configuration of for example, several mm angle extent, and thickness is about 500 micrometers. The projection electrode called a bump is attached in the predetermined part of the aluminum electrode of the front face (circuit forming face) of a bare chip 2 cut by this dicing by heat joining etc., and the circuit in a bare chip and the circuit

by the side of the circuit board are connected through this projection electrode.

[0004] Drawing 10 is drawing showing the example which made the conventional bare chip mount on the circuit board. You have formed aluminum electrode 2a in the circuit forming face (here field of the drawing bottom) of a bare chip 2 by the predetermined pattern, and this aluminum electrode 2a makes it have connected with circuit pattern 4a of the circuit board 4 through the projection electrode (bump) 3 attached in the predetermined part of this electrode 2a. A member with golden conductivity sufficient [ the projection electrode 3 ] is used. At drawing 10 , after the projection electrode 3 has deformed with the pressure at the time of junction, it is shown.

[0005] Thus, in case a bare chip 2 is attached in the circuit board 4, heat-curing resin 5 is used and it is made to make it have fixed on the substrate. That is, after applying heat-curing resin 5 to the bare chip anchoring section of a substrate 4 at the time of the mounting activity of a bare chip, as shown in drawing 11 , a bare chip 2 is arranged in the part which applied the heat-curing resin 5. and a pressure is applied and inside heated by the bonding head 6 from a top, and it is fixed on the circuit board 4 by stiffening heat-curing resin 5. Drawing 12 is drawing which looked at the condition that the bare chip 2 was mounted on the circuit board 4, from slant, and drawing 13 is drawing seen from right above the bare chip 2.

[0006] The flip chip mounting method by such process is called a resin pressure-welding method of construction. [0007]

[Problem(s) to be Solved by the Invention] By the way, when making a bare chip mount with a resin pressure-welding method of construction as shown in drawing 11 , there was a problem that management of the spreading condition of heat-curing resin was difficult. Namely, if there is much coverage of heat-curing resin, as shown in drawing 11 R> 1, will be mostly overflowed into the perimeter of a bare chip 2 by heat-curing resin 5, for example. although the heat-curing resin which it began to see is called a fillet in this perimeter, if there is a flash of a lot of heat-curing resin as shown in drawing 11 — surface 6a of the bonding head 6 for pressurization, and some resin 5 — 5a will contact.

[0008] thus, surface 6a of a bonding head 6 and the part of resin 5 — if 5a contacts, in case heat-curing resin 5 will adhere to surface 6a of a bonding head 6 and a bonding head 6 will be pulled up from the front face of a bare chip 2 at the time of mounting activity termination, heat-curing resin 5 and a bare chip 2 may be lifted a little

[0009] If such a situation occurs, it will be in the condition that the projection electrode 3 separates from circuit pattern 4a of a substrate 4, and will be in imperfect mounting conditions, such as gap of circuit pattern 4a of a substrate 4 and the projection electrode 3. Moreover, if there is little coverage of heat-curing resin 5 conversely, it may be in the condition that heat-curing resin 5 is not arranged around some electrodes 3 of the projection electrodes 3 arranged at the bare chip 2, and a certain extent needs to apply heat-curing resin so much.

[0010] In case a bonding head 6 is pulled up from the front face of a bare chip 2 at the time of mounting activity termination, in order to avoid the problem to which heat-curing resin 5 adheres, it is possible to coat the front face of a bonding head 6 with the quality of the material to which heat-curing resin, such as Teflon resin (trade name), cannot adhere easily, but when such processing is performed, there is a problem which becomes what has a so expensive bonding head.

[0011] This invention aims at raising the mounting workability at the time of attaching semiconductor chips, such as a bare chip, on a substrate using adhesives, such as heat-curing resin, in view of this point.

[0012]

[Means for Solving the Problem] In the semiconductor device formed in one field with the plate-like chip with which the electrode has been arranged, the semiconductor device of this invention prepares the level difference section of given thickness in the perimeter of the end face of a plate-like chip, only in the part of the thickness of the level difference section, while has been arranged and an electrode makes [ the area of a field ] it the configuration which becomes smaller than the area of the field of another side.

[0013] According to the semiconductor device of this invention, the level difference section is formed in the perimeter of a chip, this level difference section functions as the antitussive section of the resin at the time of semiconductor device anchoring, and it can prevent that resin adheres to a surrounding member at the time of anchoring of a component.

[0014] Moreover, in case the semiconductor device manufacture approach of this invention cuts the wafer with which two or more semiconductor circuits were formed in one field for each chip, a width of cut is the cutting implement of the 1st width of face. up to given thickness fewer than the thickness of a wafer — from one field — cutting — the remaining thickness — a width of cut — the cutting implement of the 2nd width of face with a width of cut thinner than the 1st width of face — cutting — about [ of the difference of the 1st width of face and the 2nd width of face ] — one half of the level difference sections are formed in a cutting side.

[0015] According to the semiconductor device manufacture approach of this invention, the level difference section will be formed in the perimeter of a chip, this level difference section functions as the antitussive section of the resin at the time of semiconductor device anchoring, and the semiconductor device of the configuration which can prevent that resin adheres to a surrounding member at the time of anchoring of a component can be manufactured.

[0016]

[Embodiment of the Invention] Hereafter, the gestalt of 1 operation of this invention is explained with reference to drawing 1 – drawing 6 . In this drawing 1 – drawing 6 , the same sign is given to the part corresponding to drawing 9 explained in the conventional example – drawing 13 .

[0017] Drawing 1 is drawing showing the condition of having cut the semiconductor device of the gestalt of this operation from the wafer. In the gestalt of this operation, it applies to the flip chip mounting same as a semiconductor device as what was explained in the conventional example. Drawing 1 R> 1 shows the condition that the bare chip 11 cut from the wafer according to the dicing process was located in a line. The bare chip 11 of this example prepares level difference section 11a in the end face (here all end faces) which is a cutting plane from a wafer. The field in which the circuit of a chip was formed is shown in the bottom, and level difference section 11a is made to form in drawing 1 , so that the area of this circuit forming face may become smaller than the area of the field of another side.

[0018] When the process in which this level difference section 11a is formed is explained, even a part [ a little ] deeper than the one half of the thickness of a wafer 10 is cut with the 1st blade 21 which is a cutting tool (to the abbreviation 4/5 of the thickness of a wafer 10), and slot 10a is made to form at the time of the dicing process cut from a wafer 10, as shown, for example in drawing 2 . Then, pars-basilaris-ossis-occipitalis 10b of slot 10a is cut with the 2nd blade 22 with a width of cut still narrower than the 1st blade 21, and level difference section 11a by the difference of the width of cut of both the blades 21 and 22 is made to form in the perimeter of a bare chip 11, as shown in drawing 3 R> 3. In addition, a diamond cutter is used as blades 21 and 22 here. Moreover, in drawing 2 and drawing 3 , the circuit forming face of a bare chip (wafer 10) is a lower field.

[0019] the depth (t2 of drawing 2 ) cut with the 1st blade 21 when the example of the dimension of each part was shown and thickness (t1 of drawing 2 ) of a wafer 10 is set to about 500 micrometers here — about 400 micrometers — carrying out — about 100 micrometers remaining with the 2nd blade 22 — cutting . Moreover, the width of cut (w1 of drawing 2 ) of the 1st blade 21 is set to about 100 micrometers, sets the width of cut (w2 of drawing 3 ) of the 2nd blade 22 to about 50 micrometers, and sets the level difference (w3 of drawing 3 ) of each level difference section 11a of the end face of the bare chip 11 after cutting to about 25 micrometers.

[0020] Thus, aluminum electrode 11a is formed by the predetermined pattern, and after this aluminum electrode 11a attaches the projection electrode (bump) 3 in the predetermined part of this electrode 11a, level difference section 11a makes it connect with circuit pattern 4a of the circuit board 4, and makes the circuit-forming face of the bare chip 11 formed in all surrounding end faces mount this projection electrode 3 on the circuit board 4, as shown in drawing 4 . Heat-curing resin 5 is made to apply and mount between a bare chip 11 and the circuit board 4 at this time.

[0021] that is, as shown in drawing 4 , after turning the circuit forming face of a bare chip 11 to the bottom and doubling the location of a projection electrode, a pressure is applied and inside heated by the bonding head 6 from a top in the condition of having been filled up with heat-curing resin 5, between a bare chip 11 and the circuit board 4, heat-curing resin 5 is stiffened, and it is made to fix on the circuit board 4

[0022] Although heat-curing resin 5 overflows the perimeter of a bare chip 11 here at the time of the pressurization by this bonding head 6, it is prevented by level difference section 11a of an end face that this overflowing heat-curing resin 5 flows out of the end face of a flip chip 11 into the bottom (bonding head 6 side). The flow of the resin to a top turns into flow of lateral resin by level difference section 11a, and overflowing heat-curing resin 5 stops specifically contacting a bonding head 6.

[0023] Drawing 5 is drawing having shown the mounting condition which looked at the circuit board 4 at the time of making a bare chip 11 mount in the condition which shows in drawing 4 from slant. Moreover, drawing 6 is drawing which looked at the mounting condition from right above the bare chip 11. As shown in this drawing 5 and drawing 6 R> 6, the condition that heat-curing resin 5 overflows a bare chip 11 will be in an almost equal condition over the perimeter, and it will turn out that level difference section 11a is effectively prevented for the flow of the resin to a top. For this reason, even if it pulls up a bonding head 6 after heat-curing resin 5 stops contacting a bonding head 6 at the time of a mounting activity and heat-curing resin 5 hardens, it does not become the situation where a bare chip 11 adheres to a bonding head 6, but connection with the circuit of the

polar zone of a bare chip 11 is held certainly. Moreover, a condition good also about the condition of the adhesion side of a bare chip 11 and the circuit board 4 is maintained, and positive connection between the projection electrode 3 and circuit pattern 4a is also made also from this point because the condition that heat-curing resin 5 overflows will be in an almost equal condition from a bare chip 11 over the perimeter.

[0024] In addition, values, such as the thickness and the cutting depth of the chip shown with the gestalt of operation mentioned above, and a width of cut, show an example, and are not limited to this value. For example, as long as it is the location of a chip with a thickness of about 500 micrometers which functions as antitussive (flowing stop [ Above ]) of the resin at the time of mounting, the level difference section may be made to form in other locations in the example mentioned above, although about 4/ was cut with the 1st blade by Mr. Fukashi of 5 and the level difference section was made to form in the location. concrete — about [ for example, / of the thickness of a chip ] — the level difference section may be made to form in the location of one half of the depth. Moreover, as long as it is the configuration which is not limited to the example mentioned above and functions as antitussive of resin also about the width of face of a level difference at the time of mounting, the level difference section with more narrow width of face is sufficient.

[0025] Moreover, although level difference section 11a was made to form in a plane, you may make it make it form aslant with the gestalt of operation mentioned above. That is, when the tip configuration of the blade 31 is sharp in the shape of V character in case a wafer is cut with the 1st blade 31 as shown, for example in drawing 7 , the pars basilaris ossis occipitalis of slot 10a' cut with the 1st blade 31 becomes V character-like. And as shown in drawing 8 , when pars-basilaris-ossis-occipitalis 10b of slot 10a is cut and carried out with the 2nd blade 32 with width of face narrower than the 1st blade 31, it becomes the field where level difference section 11a' of the separated bare chip 11 inclined. Even if it is level difference section 11a' which consists of such sloping fields, it functions good as antitussive of the resin at the time of mounting like the example mentioned above.

[0026] Moreover, although the wafer with which the circuit was formed was applied to the bare chip cut and formed with the gestalt of operation mentioned above, it is applicable to other semiconductor chips. For example, the level difference section is made to form, and it resin(adhesives )-puts at the time of mounting on the perimeter of the field around the package of the semiconductor device which the components with which the circuit was formed are enclosed with the package of resin or a ceramic called a chip-size package (CSP), and is constituted as a chip, and comes to it, and you may make it make it function as a stop.

[0027] Moreover, when attaching a semiconductor chip in the circuit board, it was made to make it mount on the circuit board in the gestalt of operation mentioned above by the so-called resin pressure-welding method of construction which used heat-curing resin, but this invention can be applied also in case it is made to mount on a substrate with other methods of construction which used other adhesives etc.

[0028]

[Effect of the Invention] According to the semiconductor device indicated to claim 1, the level difference section is formed in the perimeter of a chip, this level difference section functions as the antitussive section of the resin at the time of semiconductor device anchoring, and it can prevent that resin adheres to a surrounding member at the time of anchoring of a component. Therefore, in case this semiconductor device is mounted, the faulty connection by the bad influence of the resin as adhesives can be prevented effectively.

[0029] According to the semiconductor device indicated to claim 2, in invention indicated to claim 1, an electrode is having attached and formed projection electrode components in one field of a chip, and can keep good the electric connection between the circuit by the side of a semiconductor chip, and the circuit by the side of a substrate.

[0030] According to the semiconductor device manufacture approach indicated to claim 3, the level difference section will be formed in the perimeter of a chip, this level difference section functions as the antitussive section of the resin at the time of semiconductor device anchoring, and it can manufacture at a process with the easy semiconductor device of the configuration which can prevent that resin adheres to a surrounding member at the time of anchoring of a component.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

**[Drawing 1]** It is the perspective view showing the example of the semiconductor chip by the gestalt of 1 operation of this invention.

**[Drawing 2]** It is the explanatory view showing the example of the dicing process (the 1) by the gestalt of 1 operation of this invention.

**[Drawing 3]** It is the explanatory view showing the example of the dicing process (the 2) by the gestalt of 1 operation of this invention.

**[Drawing 4]** It is the sectional view showing the example of the mounting activity by the gestalt of 1 operation of this invention.

**[Drawing 5]** It is the perspective view showing the example of the mounting condition by the gestalt of 1 operation of this invention.

**[Drawing 6]** It is the top view showing the example of the mounting condition by the gestalt of 1 operation of this invention.

**[Drawing 7]** It is the explanatory view showing the example of the dicing process (the 1) by the gestalt of other operations of this invention.

**[Drawing 8]** It is the explanatory view showing the example of the dicing process (the 2) by the gestalt of other operations of this invention.

**[Drawing 9]** It is the perspective view showing the example of a wafer.

**[Drawing 10]** It is the sectional view showing the example of the mounting condition of the conventional bare chip.

**[Drawing 11]** It is the sectional view showing the example of the mounting activity of the conventional bare chip.

**[Drawing 12]** It is the perspective view showing the example of the mounting condition of the conventional bare chip.

**[Drawing 13]** It is the top view showing the example of the mounting condition of the conventional bare chip.

**[Description of Notations]**

3 [---] A bonding head, 10 /--- A wafer, 11 /--- A bare chip, 11a /--- The level difference section, 11b /--- 21 --- An aluminum electrode, 31 /--- 22 The blade of the 1st width of cut, 32 /--- Blade of the 2nd width of cut, --- A projection electrode, 4 --- The circuit board, 5 --- Heat-curing resin, 6

---

[Translation done.]

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250843

(P2001-250843A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/60

識別記号  
3 1 1

F I  
H 0 1 L 21/60

テ-マ-ト\*(参考)  
3 1 1 S 5 F 0 4 4

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2000-126010(P2000-126010)

(22) 出願日 平成12年4月26日 (2000. 4. 26)

(31) 優先権主張番号 特願平11-375011

(32) 優先日 平成11年12月28日 (1999. 12. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐々木 大

埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内

(72) 発明者 島田 実

埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

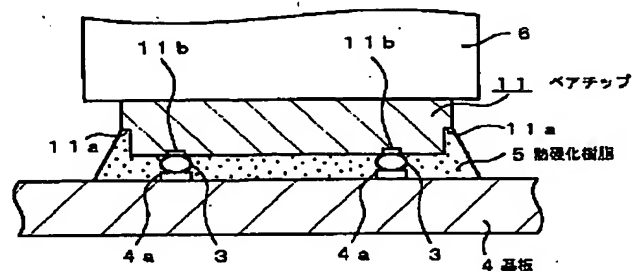
最終頁に続く

(54) 【発明の名称】 半導体素子及び半導体素子製造方法

(57) 【要約】

【課題】 ベアチップなどの半導体チップを熱硬化樹脂などの接着剤を使用して基板上に取付ける際の実装作業性を向上させる。

【解決手段】 一方の面に電極が配置された平板状のチップで形成される半導体素子11において、平板状のチップの端面の全周に所定厚の段差部11aを設け、段差部の厚みの分だけ、電極11bが配置された一方の面の面積が、他方の面の面積よりも小さくなる形状とし、この段差部が実装時の接着剤のせき止めとして機能するようにした。



実装作業を示す図

(2)

## 【特許請求の範囲】

【請求項1】 一方の面に電極が配置された平板状のチップで形成される半導体素子において、  
上記平板状のチップの端面の全周に所定厚の段差部を設け、

上記段差部の厚みの分だけ、上記電極が配置された一方の面の面積が、他方の面の面積よりも小さくなる形状とした半導体素子。

【請求項2】 請求項1記載の半導体素子において、  
上記電極は、チップの一方の面に突起電極部品を取付けて形成した半導体素子。

【請求項3】 複数の半導体回路が一方の面に形成されたウェハを、個々のチップに切断する際に、  
切削幅が第1の幅の切削具で、上記ウェハの厚みよりも少ない所定厚まで上記一方の面から切削し、  
残りの厚みを、切削幅が上記第1の幅よりも切削幅が薄い第2の幅の切削具で切削し、  
上記第1の幅と上記第2の幅の差の約1/2の段差部を、切削面に形成するようにした半導体素子製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体回路が形成されたウェハを切断して形成したチップで構成される半導体素子及びその半導体素子の製造方法に関する。

## 【0002】

【従来の技術】従来、ウェハを切断して形成したチップに、電極部品を取付けた上で、直接回路基板に実装させる半導体素子が実用化されている。このような半導体素子は、ベアチップなどと称されている。

【0003】図9は、ウェハの例を示した図で、円形のウェハ1の表面に所定単位で連続して回路を形成した後、1単位毎に切断してベアチップ2を得る。ウェハを切断する工程は、ダイシングと称され、例えばダイヤモンドカッターを使用して切断される。1個のベアチップは、例えば数mm角程度の非常に小さな形状であり、厚みは500μm程度である。このダイシングにより切断されたベアチップ2の表面（回路形成面）のアルミ電極の所定箇所には、バンプと称される突起電極が熱溶着などで取付けられ、この突起電極を介してベアチップ内の回路と回路基板側の回路とが接続される。

【0004】図10は、従来のベアチップを回路基板上に実装させた例を示す図である。ベアチップ2の回路形成面（ここでは図の下側の面）に、アルミ電極2aが所定のパターンで形成してあり、このアルミ電極2aが、この電極2aの所定箇所に取付けられた突起電極（バンプ）3を介して、回路基板4の回路パターン4aと接続させてある。突起電極3は、例えば金などの導電性の良い部材が使用される。図10では接合時の圧力により突起電極3が変形した状態で示してある。

【0005】このようにして回路基板4にベアチップ2

2

を取付ける際には、熱硬化樹脂5を使用して、基板上に固定させるようにしてある。即ち、ベアチップの実装作業時には、例えば基板4のベアチップ取付け部に熱硬化樹脂5を塗布した後、図11に示すように、その熱硬化樹脂5を塗布した箇所にベアチップ2を配置する。そして、上からボンディングヘッド6で圧力を加えながら加熱し、熱硬化樹脂5を硬化させることで、回路基板4上に固定される。図12は、その回路基板4上にベアチップ2が実装された状態を、斜め上から見た図であり、図13はベアチップ2の真上から見た図である。

【0006】このような工程によるフリップチップ実装法を、樹脂圧接工法と称する。

## 【0007】

【発明が解決しようとする課題】ところで、図11に示すような樹脂圧接工法によりベアチップを実装させる場合には、熱硬化樹脂の塗布状態の管理が難しい問題があった。即ち、例えば熱硬化樹脂の塗布量が多いと、図11に示すようにベアチップ2の周囲に熱硬化樹脂5が多くはみ出した状態になってしまう。この周囲にはみ出した熱硬化樹脂はフィレットと称されるが、図11に示すような多量の熱硬化樹脂のはみ出しがあると、加圧用のボンディングヘッド6の表面6aと樹脂5の一部5aが接触してしまう。

【0008】このようにボンディングヘッド6の表面6aと樹脂5の一部5aが接触すると、ボンディングヘッド6の表面6aに熱硬化樹脂5が付着してしまい、実装作業終了時にボンディングヘッド6をベアチップ2の表面から引き上げる際に、熱硬化樹脂5とベアチップ2を若干持ち上げてしまうことがある。

【0009】このような事態が発生すると、基板4の回路パターン4aから突起電極3が離れてしまう状態になり、基板4の回路パターン4aと突起電極3のズレ等の不完全な実装状態になってしまう。また、逆に熱硬化樹脂5の塗布量が少ないと、ベアチップ2に配置された突起電極3の内の一部の電極3の周囲に熱硬化樹脂5が配置されない状態になる可能性があり、ある程度は多量に熱硬化樹脂を塗布する必要がある。

【0010】実装作業終了時にボンディングヘッド6をベアチップ2の表面から引き上げる際に、熱硬化樹脂5が付着する問題を回避するためには、例えばボンディングヘッド6の表面をテフロン樹脂（商品名）などの熱硬化樹脂が付着し難い材質でコーティングすることが考えられるが、このような処理を施すと、それだけボンディングヘッドが高価なものになってしまう問題がある。

【0011】本発明はかかる点に鑑み、ベアチップなどの半導体チップを熱硬化樹脂などの接着剤を使用して基板上に取付ける際の実装作業性を向上させることを目的とする。

## 【0012】

【課題を解決するための手段】本発明の半導体素子は、



(3)

3

一方の面に電極が配置された平板状のチップで形成される半導体素子において、平板状のチップの端面の全周に所定厚の段差部を設け、段差部の厚みの分だけ、電極が配置された一方の面の面積が、他方の面の面積よりも小さくなる形状としたものである。

【0013】本発明の半導体素子によると、チップの周囲に段差部が形成され、この段差部が半導体素子取付け時の樹脂のせき止め部として機能し、素子の取付け時に樹脂が周囲の部材に付着するのを阻止できる。

【0014】また本発明の半導体素子製造方法は、複数の半導体回路が一方の面に形成されたウェハを、個々のチップに切断する際に、切削幅が第1の幅の切削具で、ウェハの厚みよりも少ない所定厚まで一方の面から切削し、残りの厚みを、切削幅が第1の幅よりも切削幅が薄い第2の幅の切削具で切削し、第1の幅と第2の幅の差の約1/2の段差部を、切削面に形成するようにしたものである。

【0015】本発明の半導体素子製造方法によると、チップの周囲に段差部が形成されることになり、この段差部が半導体素子取付け時の樹脂のせき止め部として機能し、素子の取付け時に樹脂が周囲の部材に付着するのを阻止できる形状の半導体素子を製造できる。

【0016】

【発明の実施の形態】以下、本発明の一実施の形態を、図1～図6を参照して説明する。この図1～図6において、従来例で説明した図9～図13に対応する部分には同一符号を付す。

【0017】図1は、本実施の形態の半導体素子を、ウェハから切断した状態を示す図である。本実施の形態においては、半導体素子として、従来例で説明したものと同様のフリップチップ実装に適用したものである。図1は、ウェハからダイシング工程により切断したベアチップ11が並んだ状態を示したものである。本例のベアチップ11は、ウェハからの切断面である端面（ここでは全ての端面）に段差部11aを設けるようにしたものである。図1では、チップの回路が形成された面を上側に示してあり、この回路形成面の面積が、他方の面の面積よりも小さくなるように段差部11aを形成させる。

【0018】この段差部11aが形成される工程について説明すると、例えば図2に示すように、ウェハ10から切断するダイシング工程時に、ウェハ10の厚みの半分よりも若干深い部分まで（例えばウェハ10の厚みの約4/5まで）を、切削工具である第1のブレード21で切削して、溝10aを形成させる。その後、図3に示すように、さらに第1のブレード21よりも切削幅の狭い第2のブレード22で溝10aの底部10bを切削し、両ブレード21、22の切削幅の差による段差部11aをベアチップ11の周囲に形成させる。なお、ここではブレード21、22としてダイヤモンドカッタ

4

を使用する。また、図2、図3では、ベアチップ（ウェハ10）の回路形成面は、下側の面である。

【0019】ここで、各部の寸法の例を示すと、ウェハ10の厚み（図2のt1）を約500μmとしたとき、第1のブレード21で切削する深さ（図2のt2）は約400μmとし、第2のブレード22で残りの約100μm切削する。また、第1のブレード21の切削幅（図2のw1）は、例えば100μm程度とし、第2のブレード22の切削幅（図3のw2）は、例えば50μm程度とし、切削後のベアチップ11の端面のそれぞれの段差部11aの段差（図3のw3）を、約25μmとする。

【0020】このように段差部11aが周囲の端面全てに形成されたベアチップ11の回路形成面には、例えば図4に示すように、アルミ電極11aが所定のパターンで形成してあり、このアルミ電極11aが、この電極11aの所定箇所に突起電極（パンプ）3を取付けた後、この突起電極3を、回路基板4の回路パターン4aと接続させて、回路基板4上に実装させる。このとき、ベアチップ11と回路基板4との間には、熱硬化樹脂5を塗布して実装させる。

【0021】即ち、図4に示すように、ベアチップ11の回路形成面を下側に向けて、突起電極の位置を合わせた上で、ベアチップ11と回路基板4との間に熱硬化樹脂5を充填した状態で、上からボンディングヘッド6で圧力を加えながら加熱し、熱硬化樹脂5を硬化させて、回路基板4上に固定させる。

【0022】ここで、このボンディングヘッド6による加圧時には、ベアチップ11の周囲から熱硬化樹脂5がはみ出すが、このはみ出した熱硬化樹脂5がフリップチップ11の端面から上側（ボンディングヘッド6側）に流れ出るのが、端面の段差部11aにより阻止される。具体的には、上側への樹脂の流れが段差部11aで横方向への樹脂の流れになり、はみ出した熱硬化樹脂5がボンディングヘッド6と接触しなくなる。

【0023】図5は、図4に示す状態でベアチップ11を実装させたときの、その回路基板4を斜め上から見た実装状態を示した図である。また、図6は、ベアチップ11の真上から実装状態を見た図である。この図5、図6に示すように、ベアチップ11から熱硬化樹脂5がはみ出す状態が、全周に渡ってほぼ均等な状態になり、上側への樹脂の流れが段差部11aが効果的に阻止されていることが判る。このため、実装作業時に熱硬化樹脂5がボンディングヘッド6と接触しなくなり、熱硬化樹脂5が硬化した後にボンディングヘッド6を引き上げても、ベアチップ11がボンディングヘッド6に付着するような事態にならず、ベアチップ11の電極部の回路への接続が確実に保持される。また、ベアチップ11から熱硬化樹脂5がはみ出す状態が、全周に渡ってほぼ均等な状態になることで、ベアチップ11と回路基板4との

(4)

5

接着面の状態についても良好な状態が維持されて、この点からも突起電極3と回路パターン4aとの確実な接続も実現される。

【0024】なお、上述した実施の形態で示したチップの厚みや切削深さ、切削幅などの値は一例を示したものであり、この値に限定されるものではない。例えば、上述した例では、厚さ約500 $\mu$ mのチップの約4/5の深さまで第1のブレードで切削し、その位置に段差部を形成させたが、実装時の樹脂のせき止め（上側への流れ止め）として機能する位置であれば、他の位置に段差部を形成させても良い。具体的には、例えばチップの厚さの約1/2の深さの位置に段差部を形成させても良い。また、段差の幅についても、上述した例に限定されるものではなく、実装時に樹脂のせき止めとして機能する形状であれば、より幅の狭い段差部でも良い。

【0025】また、上述した実施の形態では、段差部11aを平面状に形成させたが、斜めに形成させるようにしても良い。即ち、例えば図7に示すように、ウェハを第1のブレード31で切削する際に、そのブレード31の先端形状がV字状に尖っている場合には、第1のブレード31で切削した溝10a'の底部がV字状になる。そして、図8に示すように、第1のブレード31よりも幅の狭い第2のブレード32で溝10aの底部10bを切削してしたとき、切り離されたベアチップ11の段差部11a'が傾斜した面になる。このような傾斜した面で構成される段差部11a'であっても、上述した例と同様に、実装時の樹脂のせき止めとして良好に機能する。

【0026】また、上述した実施の形態では、回路が形成されたウェハを切断して形成されるベアチップに適用したが、他の半導体チップにも適用できる。例えば、チップサイズパッケージ（CSP）と称される樹脂やセラミックのパッケージに回路が形成された部品が封入されてチップとして構成される半導体素子のそのパッケージの周囲の面の全周に、段差部を形成させて、実装時の樹脂（接着剤）のせき止めとして機能させるようにしても良い。

【0027】また、上述した実施の形態では、半導体チップを回路基板に取付ける際に、熱硬化樹脂を使用したいわゆる樹脂圧接工法で回路基板上に実装させるようにしたが、他の接着剤などを使用した他の工法により基板上に実装させる際にも本発明は適用できるものである。

【0028】

【発明の効果】請求項1に記載した半導体素子によると、チップの周囲に段差部が形成され、この段差部が半導体素子取付け時の樹脂のせき止め部として機能し、素子の取付け時に樹脂が周囲の部材に付着するのを阻止で

6

きる。従って、この半導体素子を実装する際には、接着剤としての樹脂の悪影響による接続不良を効果的に防止できる。

【0029】請求項2に記載した半導体素子によると、請求項1に記載した発明において、電極は、チップの一方の面に突起電極部品を取付けて形成したことで、半導体チップ側の回路と、基板側の回路との電気的な接続を良好に保つことができる。

【0030】請求項3に記載した半導体素子製造方法によると、チップの周囲に段差部が形成されることになり、この段差部が半導体素子取付け時の樹脂のせき止め部として機能し、素子の取付け時に樹脂が周囲の部材に付着するのを阻止できる形状の半導体素子が簡単な工程で製造できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態による半導体チップの例を示す斜視図である。

【図2】本発明の一実施の形態によるダイシング工程（その1）の例を示す説明図である。

【図3】本発明の一実施の形態によるダイシング工程（その2）の例を示す説明図である。

【図4】本発明の一実施の形態による実装作業の例を示す断面図である。

【図5】本発明の一実施の形態による実装状態の例を示す斜視図である。

【図6】本発明の一実施の形態による実装状態の例を示す平面図である。

【図7】本発明の他の実施の形態によるダイシング工程（その1）の例を示す説明図である。

【図8】本発明の他の実施の形態によるダイシング工程（その2）の例を示す説明図である。

【図9】ウェハの例を示す斜視図である。

【図10】従来のベアチップの実装状態の例を示す断面図である。

【図11】従来のベアチップの実装作業の例を示す断面図である。

【図12】従来のベアチップの実装状態の例を示す斜視図である。

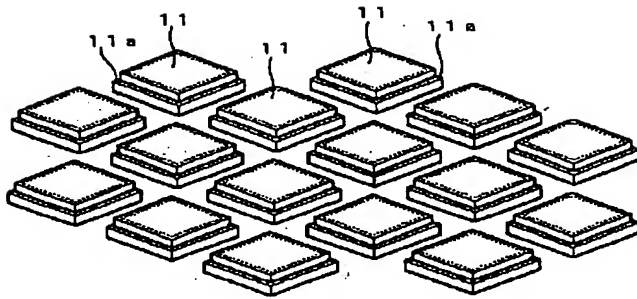
【図13】従来のベアチップの実装状態の例を示す平面図である。

【符号の説明】

3…突起電極、4…回路基板、5…熱硬化樹脂、6…ボンディングヘッド、10…ウェハ、11…ベアチップ、11a…段差部、11b…アルミ電極、21、31…第1の切削幅のブレード、22、32…第2の切削幅のブレード

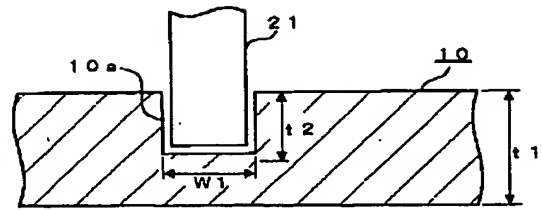
(5)

【図1】



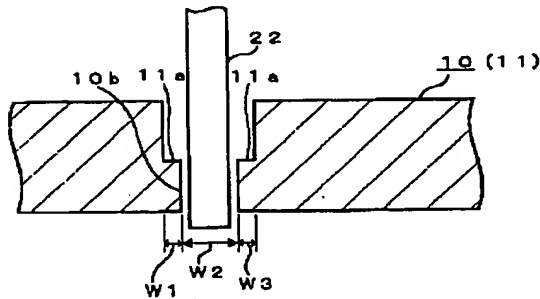
チップをカットした状態を示す図

【図2】



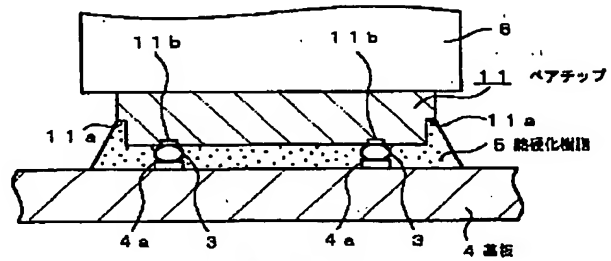
ダイシング工程 (その1)

【図3】



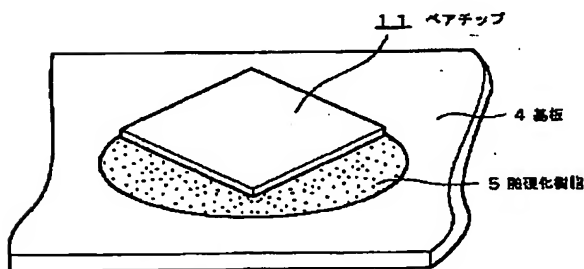
ダイシング工程 (その2)

【図4】



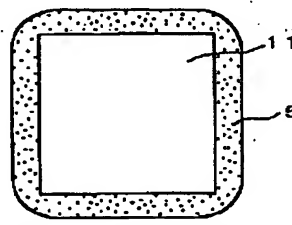
実装作業を示す図

【図5】



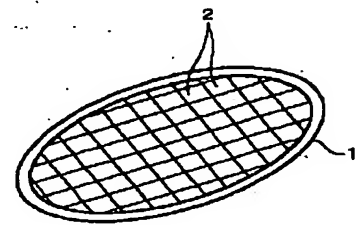
実装状態の例

【図6】



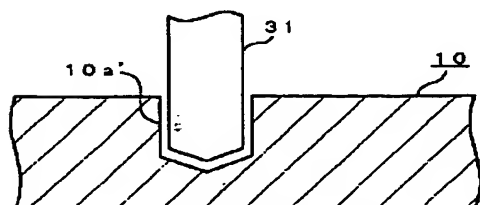
実装状態を上から見た図

【図9】



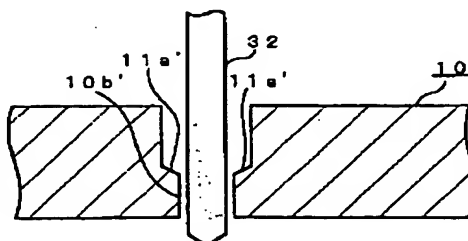
ウェハの例

【図7】



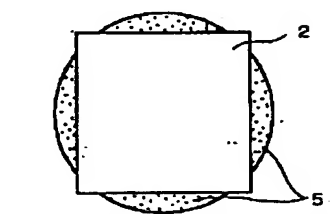
ダイシング工程 (その1)

【図8】



ダイシング工程 (その2)

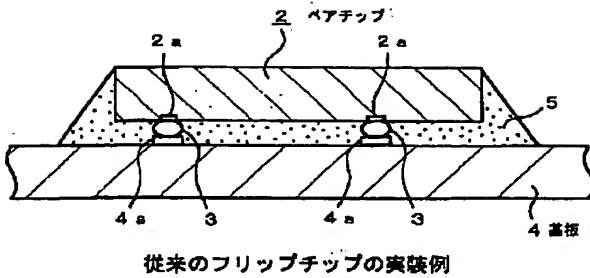
【図13】



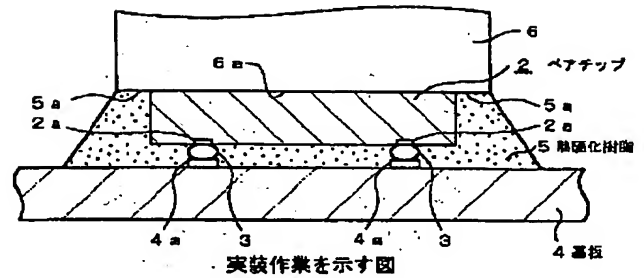
従来の実装状態を上から見た図

(6)

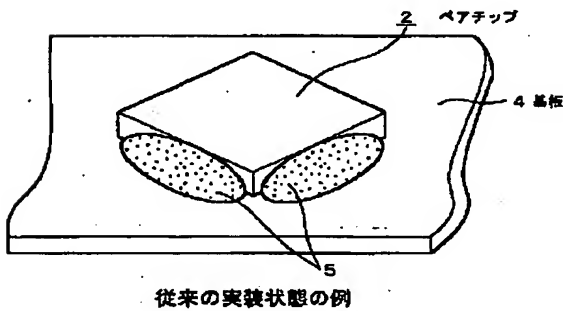
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 津久田 幸彦  
埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内  
(72)発明者 川野 陽介  
埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内

(72)発明者 大津 伸一  
埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内  
(72)発明者 奥富 一弥  
埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内  
(72)発明者 栗田 守  
埼玉県坂戸市塚越1300番地 ソニーボンソ  
ン株式会社内

Fターム(参考) 5F044 KK01 LL01 RR18

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**